

PAT-NO: JP02001127179A

DOCUMENT-IDENTIFIER: JP 2001127179 A

TITLE: SEMICONDUCTOR DEVICE, NON-VOLATILE
RANDOM ACCESS MEMORY, FLOATING GATE MEMORY CELL SEMICONDUCTOR
MEMORY ARRAY, AND METHOD OF FORMING THE SAME

PUBN-DATE: May 11, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
JOHNSON, JEFFREY B	N/A
LAM, CHUNG H	N/A
LEE, DANA	N/A
MARTIN, DALE W	N/A
RANKIN, JED H	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SILICON STORAGE TECHNOLOGY INC	N/A

APPL-NO: JP2000289165

APPL-DATE: September 22, 2000

PRIORITY-DATA: 1999401622 (September 22, 1999)

INT-CL (IPC): H01L021/8247, H01L027/115 , H01L029/788 ,
H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a self-aligning method for forming a semiconductor memory array composed of floating gate memory cells on a semiconductor substrate.

SOLUTION: Isolation regions substantially in parallel and separate from each other are formed on a semiconductor substrate. An active region provided between the adjacent isolation regions and the isolation regions are extended in parallel in the direction of rows. Silicon nitride bands are formed separated from each other in the direction of columns. A source line plug is provided between the adjacent silicon nitride bands. The source line plug is brought into contact with a first region and an isolation region in an active region. The silicon nitride bands and furthermore material under the silicon nitride bands are removed by anisotropic etching. A polysilicon spacer serving as a control gate is formed in parallel with the source line plug in the direction of columns so as to be adjacent to the floating gate. A second region is formed between the adjacent control gates. Bit lines are formed so as to be connected to the second region.

COPYRIGHT: (C)2001,JPO

DERWENT-ACC-NO: 2001-246962

DERWENT-WEEK: 200323

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Non-volatile random access memory cell
for memory array, has polysilicon floating gates,
insulator on first floating gate, self-aligned contact
between floating gates, dielectric material, and
polysilicon word line spacer

INVENTOR: JOHNSON, J B; LAM, C H ; LEE, D ; MARTIN, D W ;
RANKIN, J H

PATENT-ASSIGNEE: SILICON STORAGE TECHNOLOGY INC[SILIN] ,
INT BUSINESS

MACHINES CORP[IBMC], JOHNSON J B[JOHNI], LAM C
H[LAMCI], LEE D[LEEDI],
MARTIN D W[MARTI], RANKIN J H[RANKI],

PRIORITY-DATA: 1999US-0401622 (September 22, 1999)

PATENT-FAMILY:

PUB-NO	PAGES	MAIN-IPC	PUB-DATE	LANGUAGE
US 6525371 B2	000	H01L 029/788	February 25, 2003	N/A
EP 1087443 A2	030	H01L 027/115	March 28, 2001	E
JP 2001127179 A	017	H01L 021/8247	May 11, 2001	N/A
KR 2001030468 A	000		April 16, 2001	N/A
US 20020109179 A1	000	H01L 027/115	August 15, 2002	N/A
TW 488069 A	000	H01L 029/76	May 21, 2002	N/A
		H01L 027/11		

DESIGNATED-STATES: AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK
NL PT RO SE SI

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
US 6525371B2	N/A	1999US-0401622
September 22, 1999		
EP 1087443A2	N/A	2000EP-0308265
September 21, 2000		
JP2001127179A	N/A	2000JP-0289165
September 22, 2000		
KR2001030468A	N/A	2000KR-0055720
September 22, 2000		
US20020109179A1	N/A	1999US-0401622
September 22, 1999		
TW 488069A	N/A	2000TW-0119516
December 6, 2000		

INT-CL (IPC): H01L021/8247, H01L027/11 , H01L027/115 ,
H01L029/76 ,
H01L029/788 , H01L029/792

ABSTRACTED-PUB-NO: EP 1087443A

BASIC-ABSTRACT:

NOVELTY - A non-volatile random access memory cell has two polysilicon floating gates, with three sides, and a sharp tip; an insulator on parts of the first floating gate; a self-aligned contact between the two floating gates; a dielectric material on other parts of the first floating gate; and a polysilicon word line spacer on one side of the insulator and over the dielectric material.

DETAILED DESCRIPTION - A non-volatile RAM cell comprises first and second polysilicon floating gates, having a first side, a top side, a second side and a sharp tip formed at a junction of the top side and the second side; an insulator on part of the top side and on the first side of

the first floating gate; a self-aligned contact between the first and second floating gates; a dielectric material on another part of the top side, on the sharp tip, and on the second side of the first floating gate; and a polysilicon word line spacer on one side of the insulator and over the dielectric material. INDEPENDENT CLAIMS are also included for:

(A) a self-aligned method of forming a semiconductor memory array of floating gate memory cells in a semiconductor substrate comprising (a) forming spaced apart isolation regions (20) on the substrate; (b) forming spaced apart masking regions of a masking material; (c) forming spaced apart first spacers of an insulating material; (d) etching between pairs of adjacent first spacers in the first region (30); (e) forming the first terminal in the substrate in each of the active regions between pairs of adjacent first spacers in the first region; (f) forming a conductor in the second direction between each pair of spaced apart first spacers electrically connected to the first terminal in the substrate; (g) removing the masking material resulting in structures parallel to one another in the second direction; (h) forming an insulating film about each of the structures; (i) forming spaced second spacers of a polysilicon material; (j) etching between pairs of adjacent second spacers in the second region; (k) forming the second terminal in the substrate in each of the active regions between pairs of adjacent second spacers in the second region; and (l) forming a conductor in a first direction, parallel to an active region, electrically connected to the second terminal in the substrate;

(B) a semiconductor memory array of floating gate memory cells in a

semiconductor substrate comprising a semiconductor substrate;
spaced apart
spacers of an electrically conductive material insulated from
the substrate;
spaced apart first electrical conductors parallel to one
another in the second
direction; and spaced apart second electrical conductors
parallel to one
another in the first direction; and

(C) a semiconductor device in a semiconductor substrate,
having an array of
identical circuits, as above, where each array has a first
terminal and a
second terminal in an active region.

USE - For a semiconductor memory array for a semiconductor
device.

ADVANTAGE - The invention provides precise alignment of the
source, drain,
control gate, and floating gate.

DESCRIPTION OF DRAWING(S) - The drawing shows a top view
showing the
interconnection of row lines and bit lines to terminals in
active regions in
the formation of the non-volatile memory array of floating
memory cells of the
split gate type.

isolation regions 20

first region 30

bitline 46

ABSTRACTED-PUB-NO: US20020109179A

EQUIVALENT-ABSTRACTS:

NOVELTY - A non-volatile random access memory cell has two
polysilicon floating
gates, with three sides, and a sharp tip; an insulator on
parts of the first
floating gate; a self-aligned contact between the two
floating gates; a
dielectric material on other parts of the first floating

gate; and a polysilicon word line spacer on one side of the insulator and over the dielectric material.

DETAILED DESCRIPTION - A non-volatile RAM cell comprises first and second polysilicon floating gates, having a first side, a top side, a second side and a sharp tip formed at a junction of the top side and the second side; an insulator on part of the top side and on the first side of the first floating gate; a self-aligned contact between the first and second floating gates; a dielectric material on another part of the top side, on the sharp tip, and on the second side of the first floating gate; and a polysilicon word line spacer on one side of the insulator and over the dielectric material. INDEPENDENT CLAIMS are also included for:

(A) a self-aligned method of forming a semiconductor memory array of floating gate memory cells in a semiconductor substrate comprising (a) forming spaced apart isolation regions (20) on the substrate; (b) forming spaced apart masking regions of a masking material; (c) forming spaced apart first spacers of an insulating material; (d) etching between pairs of adjacent first spacers in the first region (30); (e) forming the first terminal in the substrate in each of the active regions between pairs of adjacent first spacers in the first region; (f) forming a conductor in the second direction between each pair of spaced apart first spacers electrically connected to the first terminal in the substrate; (g) removing the masking material resulting in structures parallel to one another in the second direction; (h) forming an insulating film about each of the structures; (i) forming spaced second spacers of a polysilicon material; (j) etching between pairs of adjacent second

spacers in the second region; (k) forming the second terminal in the substrate in each of the active regions between pairs of adjacent second spacers in the second region; and (l) forming a conductor in a first direction, parallel to an active region, electrically connected to the second terminal in the substrate;

(B) a semiconductor memory array of floating gate memory cells in a semiconductor substrate comprising a semiconductor substrate; spaced apart spacers of an electrically conductive material insulated from the substrate; spaced apart first electrical conductors parallel to one another in the second direction; and spaced apart second electrical conductors parallel to one another in the first direction; and

(C) a semiconductor device in a semiconductor substrate, having an array of identical circuits, as above, where each array has a first terminal and a second terminal in an active region.

USE - For a semiconductor memory array for a semiconductor device.

ADVANTAGE - The invention provides precise alignment of the source, drain, control gate, and floating gate.

DESCRIPTION OF DRAWING(S) - The drawing shows a top view showing the interconnection of row lines and bit lines to terminals in active regions in the formation of the non-volatile memory array of floating memory cells of the split gate type.

isolation regions 20

first region 30

bitline 46

CHOSEN-DRAWING: Dwg.38J/38

TITLE-TERMS: NON VOLATILE RANDOM ACCESS MEMORY CELL MEMORY
ARRAY FLOAT GATE

INSULATE FIRST FLOAT GATE SELF ALIGN CONTACT
FLOAT GATE DIELECTRIC
MATERIAL WORD LINE SPACE

DERWENT-CLASS: L03 U11 U12 U13 U14

CPI-CODES: L03-G04A; L04-C06; L04-C10B; L04-C12C; L04-C14;

EPI-CODES: U11-C05D4; U11-C05E3; U11-C05F1; U11-C07D2;
U11-C18B5; U12-D02A1;
U12-Q; U13-C04B2; U14-A03B7; U14-C01;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2001-074440

Non-CPI Secondary Accession Numbers: N2001-175915

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127179

(P2001-127179A)

(43) 公開日 平成13年5月11日(2001.5.11)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

27/115

29/78

3 7 1

29/788

29/792

審査請求 未請求 請求項の数21 O L (全 17 頁)

(21) 出願番号 特願2000-289165(P2000-289165)

(71) 出願人 500147506

(22) 出願日 平成12年9月22日(2000.9.22)

シリコン ストージング テクノロジー
インコーポレイテッド

(31) 優先権主張番号 09/401622

SILICON STORAGE TEC
HNOLOGY, INC.

(32) 優先日 平成11年9月22日(1999.9.22)

アメリカ合衆国 94086 カリフォルニア

(33) 優先権主張国 米国 (US)

州 サニーヴェイル ソノラ コート

1171

(74) 代理人 100083806

弁理士 三好 秀和 (外1名)

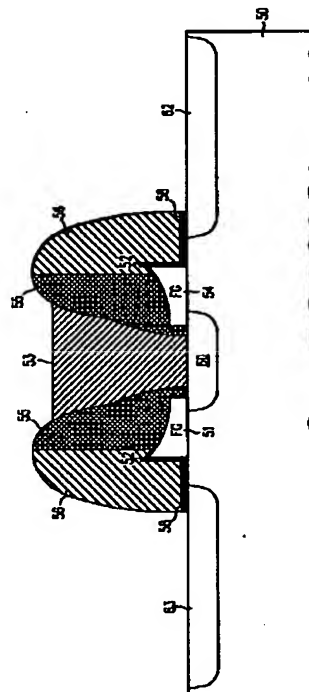
最終頁に続く

(54) 【発明の名称】 半導体装置、不揮発性ランダムアクセスメモリセル、フローティングゲートメモリセルの半導体メモリアレイ、及び、このアレイを形成する方法

(57) 【要約】

【課題】 複数のフローティングゲートメモリセルからなる半導体メモリアレイを半導体基板に形成するための自己整合方法を提供する。

【解決手段】 実質的に互いに平行な複数の間隔を置いた分離領域を半導体基板に形成する。隣接する分離領域間に設けられる活性領域および分離領域は、互いに平行に列方向に延びる。行方向に間隔を置いて窒化シリコン帯を形成し、隣接する窒化シリコン帯間にソースラインプラグを形成する。このソースラインプラグは、活性領域内の第1領域と分離領域とに接触する。窒化シリコン帯、さらに窒化シリコン帯下方の材料も異方性エッチングにより除去する。ソースラインプラグに平行に行方向に、フローティングゲートに隣接して、制御ゲートとなるポリシリコンスペーサを形成する。隣接する制御ゲート間に第2領域を形成する。ビットラインを形成して第2領域に接続する。



【特許請求の範囲】

【請求項1】 第1側部と、上部と、第2側部と、前記上部と前記第2側部とが形成する鋭い先端とを有する第1ポリシリコンフローティングゲートと、第2ポリシリコンフローティングゲートと、

前記第1フローティングゲートの前記上部の一部と前記第1側部との上に形成した絶縁体と、

前記第1フローティングゲートと前記第2フローティングゲートとの間に形成した自己整合コンタクトと、

前記第1フローティングゲートの前記上部の他の部分と前記鋭い先端と前記第2側部との上に形成した誘電材料と、

前記絶縁体の一侧と前記誘電材料上に形成したポリシリコンワードラインスペーサとを備えることを特徴とする不揮発性ランダムアクセスメモリ(RAM)セル。

【請求項2】 前記絶縁体が酸化物からなることを特徴とする請求項1記載の不揮発性RAMセル。

【請求項3】 前記自己整合コンタクトがポリシリコンからなることを特徴とする請求項1記載の不揮発性RAMセル。

【請求項4】 ソース領域と複数のビットライン/ドレイン領域とを有するシリコン基板をさらに備えることを特徴とする請求項1記載の不揮発性RAMセル。

【請求項5】 前記第1フローティングゲートの一部を前記ソース領域上に形成し、前記第1フローティングゲートの一部を1つの前記ビットライン/ドレイン領域上に形成したことを特徴とする請求項4記載の不揮発性RAMセル。

【請求項6】 前記第2フローティングゲートの一部を前記ソース領域上に形成し、前記第2フローティングゲートの一部を他の1つの前記ビットライン/ドレイン領域上に形成したことを特徴とする請求項5記載の不揮発性RAMセル。

【請求項7】 前記第2フローティングゲートが第1側部と、第2側部と、上部と、前記上部と前記第2側部とが形成する鋭い先端とを有し、前記セルが、前記第2フローティングゲートの前記上部の一部と前記第1側部との上に形成した絶縁体と、

前記第2フローティングゲートの前記上部の他の部分と前記鋭い先端と前記第2側部との上に形成した誘電材料と、

前記絶縁体の一侧と前記誘電材料上に形成したポリシリコンワードラインスペーサとをさらに備えることを特徴とする請求項1記載の不揮発性RAMセル。

【請求項8】 各々がフローティングゲートと第1端子と該第1端子との間にチャネル領域を有する第2端子と制御ゲートとを有する複数のフローティングゲートメモリセルの半導体メモリアレイを半導体基板に形成する自己整合方法において、

a) 前記基板上に実質的に互いに平行な複数の分離領域

を間隔を置いて第1方向に形成し、隣接する前記分離領域間に活性領域を存在させ、前記活性領域が前記半導体基板上の第1絶縁材料層と該第1絶縁材料層上の第1ポリシリコン材料層とからなり、

b) 前記活性領域および分離領域上にマスク材料からなる実質的に互いに平行な複数のマスク領域を間隔を置いて第2方向に形成し、前記第2方向が前記第1方向に実質的に直交し、

c) 実質的に互いに平行な複数の絶縁材料製第1スペーサを間隔を置いて前記第2方向に形成し、各前記第1スペーサが前記マスク領域の1つに隣接して連続し、隣接する前記第1スペーサ間に第1領域を存在させ、各前記第1スペーサが複数の交互する前記活性領域および絶縁領域と交差し、

d) 前記第1領域における隣接する前記第1スペーサ間をエッチングし、

e) 隣接する前記第1スペーサ間の活性領域において前記基板の第1領域に前記第1端子を形成し、

f) 隣接する前記第1スペーサ間において、前記基板内の前記第1端子に電気的に接続する導体を前記第2方向に形成し、

g) 前記マスク材料を除去することにより、実質的に互いに平行な複数の構造を前記第2方向に形成し、

h) 前記構造の各々に対して絶縁膜を形成し、

i) 実質的に互いに平行な複数のポリシリコン材料製第2スペーサを間隔を置いて前記第2方向に形成し、各前記第2スペーサが前記構造の1つに隣接して連続し、隣接する前記第2スペーサ間に第2領域を存在させ、各前記第2スペーサが前記複数の交互する活性領域および分離領域と交差し、各前記第2スペーサが前記第2方向のメモリセル用制御ゲートに電気的に接続し、

j) 前記第2領域の隣接する第2スペーサ間をエッチングし、

k) 前記第2領域の隣接する第2スペーサ間において、前記基板の各活性領域に前記第2端子を形成し、

l) 前記活性領域に実質的に平行に前記第1方向に導体を形成し、該導体を前記第2端子に電気的に接続する、各段階を備えることを特徴とする前記自己整合方法。

【請求項9】 前記段階a)が、前記分離領域と前記第1ポリシリコン材料層とを自己整合処理によって形成することを特徴とする請求項8記載の方法。

【請求項10】 前記段階a)が、前記分離領域と前記第1ポリシリコン材料層とを非自己整合処理によって形成することを特徴とする請求項8記載の方法。

【請求項11】 各々がフローティングゲートと第1端子と該第1端子との間にチャネル領域を有する第2端子と制御ゲートとを有する複数のフローティングゲートメモリセルの半導体メモリアレイにおいて、

間隔を置いて実質的に互いに平行に第1方向に延びる複数の活性領域と、各ペアの前記活性領域間に存在する分

離領域と、を有する半導体基板と、
前記基板から絶縁され、間隔を置いて実質的に互いに平行に前記第1方向とは実質的に直交する第2方向に延び、交互する前記分離領域および活性領域と交差し、前記活性領域においてメモリセル用制御ゲートに電氣的に接続する、複数の導電材料製スペーサと、
間隔を置いて実質的に互いに平行に前記第2方向に延び、前記間隔を置いた活性領域に存在する複数のメモリセル用第1端子への電氣的コンタクトを形成する、複数の第1導体と、

間隔を置いて実質的に互いに平行に前記第1方向に延び、前記間隔を置いた活性領域に存在する複数のメモリセル用第2端子への電氣的コンタクトを形成し、前記基板と前記第1導体とから絶縁された、複数の第2導体とを備えることを特徴とする前記メモリアレイ。

【請求項12】 前記複数の第1導体の各々が、前記第2方向に連続し、前記メモリセルの隣接する第1端子間において前記基板の分離領域に接続することを特徴とする請求項11記載のメモリアレイ。

【請求項13】 前記間隔を置いた第2導体の各々が、前記複数の第1導体から絶縁され、前記複数の第1導体が前記基板と前記複数の第2導体との間にあることを特徴とする請求項11記載のメモリアレイ。

【請求項14】 前記間隔を置いた複数のスペーサがベアをなし、前記第1導体の1つが隣接する2ベアの前記スペーサ間に存在し、前記第2導体の各々が前記スペーサの各ベア間において前記基板への電氣的コンタクトを形成することを特徴とする請求項11記載のメモリアレイ。

【請求項15】 間隔を置いて実質的に互いに平行に前記第2方向に延び、各前記第1導体の両側に隣接する複数の絶縁スペーサをさらに備えることを特徴とする請求項14記載のメモリアレイ。

【請求項16】 各々が活性領域中に第1端子と第2端子とを有する実質的に同一の回路からなるアレいを有する半導体基板内の半導体装置において、前記アレイが、前記半導体基板内において連続的に交互し互いに平行に第1方向に延びる複数の帯状の分離領域および活性領域と、

間隔を置いて互いに平行に前記第1方向とは実質的に直交する第2方向に延び、活性領域内の第1端子において前記半導体基板に接続する、複数の第1導電帯と、
間隔を置いて互いに平行に前記第1方向に延び、前記複数の第1導電帯から絶縁され、活性領域帯に実質的に平行であり、活性領域内の第2端子に接続する、複数の第2導電帯と、を備えることを特徴とする前記半導体装置。

【請求項17】 前記第1導電帯の各々が、前記第2方向に延びて複数の活性領域と複数の分離領域とに交差しながら前記半導体基板に接続することを特徴とする請求

項16記載の半導体装置。

【請求項18】 前記第1導電帯の各々が、絶縁体に隣接したスペーサであることを特徴とする請求項16記載の半導体装置。

【請求項19】 前記回路が分割ゲート／フローティングゲート型不揮発性メモリセルであり、活性領域内の前記第1端子と前記第2端子とがチャネル領域によって分離されることを特徴とする請求項16記載の半導体装置。

10 【請求項20】 前記第1導電帯の各々が、活性領域において2つの隣接するメモリセルの第1領域に接続することを特徴とする請求項19記載の半導体装置。

【請求項21】 前記第2導電帯の各々が、活性領域において2つの隣接するメモリセルの第2領域に接続することを特徴とする請求項19記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自己整合を用いて製造可能な不揮発性ランダムアクセスメモリセルとフローティングゲートメモリセルの半導体メモリアレイ、及び、これらの製造方法に関する。さらに詳しくは、3重に自己整合を用いる分割ゲート型不揮発性ランダムアクセスメモリ（NVRAM）セルに関する。

【0002】

【従来の技術】フローティングゲートを用いて電荷を蓄積する不揮発性半導体メモリセル、そのメモリセルを半導体基板に形成したメモリアレイは、従来から良く知られている。フローティングゲートメモリセルには、代表的に分割ゲート型、積重ねゲート型、これらの組合せ型がある。

30 【0003】フローティングゲートメモリセルアレいの製造における問題点の1つは、ソース、ドレイン、制御ゲート、フローティングゲート等、様々な要素の整合である。半導体の集積度が増し、最大サイズ要素に対するリソグラフィサイズが縮小するにつれ、精密整合はますます重要となる。各要素の整合は、半導体製品の生産性にも影響する。

【0004】

【発明が解決しようとする課題】自己整合は、本技術分野で良く知られている。自己整合とは、1つ以上の材料を使用する工程において、各構成要素が互いに自動的に整合するようにその工程を処理することと言う。

【0005】本発明は上記事情に鑑みてなされたものであり、その目的とするところは、自己整合技術を用い、フローティングゲートメモリセルの半導体メモリアレイを製造する方法を提供することにある。

【0006】本発明の目的は、自己整合技術を用いて製造可能な、フローティングゲートメモリセルの半導体メモリアレイを提供することにある。

50 【0007】本発明の目的は、自己整合技術を用いて製

造可能な、不揮発性ランダムアクセスメモリセルを提供することにある。

【0008】本発明の目的は、自己整合技術を用いて製造可能な、不揮発性メモリセル等のアレイを有する半導体装置を提供することにある。

【0009】

【課題を解決するための手段】従来の製造方法の問題点にかんがみ、本発明は、フローティングゲートメモリセルからなる半導体メモリアレイの製造方法について開示する。

【0010】また、本発明は、各々が鋭い先端と第1側部と上部と第2側部とを有する複数のポリシリコンフローティングゲートを含んだ不揮発性RAMセルについて開示する。フローティングゲートの鋭い先端は、上部と第2側部との接合部に形成する。各フローティングゲートの上部の一部と第1側部とに絶縁体スペーサを形成する。隣接するフローティングゲート間に、自己整合コンタクト（例えばポリシリコンソースラインコンタクトプラグ）を形成する。各フローティングゲートの上部の他の部分と鋭い先端と第2側部とに誘電材料を形成する。絶縁体スペーサの一端と誘電材料上に、ポリシリコンワードラインスペーサを形成する。

【0011】上記目的を達成するため、本発明は、分割ゲート型フローティングゲートメモリセルからなる半導体メモリアレイを形成するための自己整合方法を開示すると共に、それら方法によって形成したメモリアレイを開示する。本発明の自己整合方法において、各メモリセルは、第1端子と、この第1端子との間にチャネルを有する第2端子と、フローティングゲートと、制御ゲートとを有する。本発明の自己整合方法は、複数の分離領域を間隔を置いて基板に形成する。これら分離領域は、第1方向に実質的に互いに平行である。隣接する分離領域間には、活性領域が存在する。各活性領域は、半導体基板上の第1絶縁層と、この第1絶縁層上の第1ポリシリコン層とからなる。半導体基板上の第2方向に、マスク材料からなる複数のマスク領域を間隔を置いて形成する。これらマスク領域は、実質的に互いに平行であり、交互に形成した複数の活性領域および分離領域と交差する。第2方向は、第1方向に実質的に直交する。絶縁材料性の複数の第1スペーサを、間隔を置いて実質的に互いに平行に第2方向に形成する。各第1スペーサは、マスク領域の1つに隣接して連続する。隣接する第1スペーサ間には、第1領域が存在する。各第1スペーサは、交互に形成した複数の活性領域および絶縁領域と交差する。第1領域において、隣接する第1スペーサ間をエッチングする。第1領域内の隣接する第1スペーサ間において、基板の活性領域に第1端子を形成する。隣接する第1スペーサ間において、導体を第2方向に形成し、基板の第1端子に電気的に接続する。

【0012】マスク材料を除去することにより、第2方

向に実質的に互いに平行に延びる複数の分離構造を形成する。各分離構造を覆って絶縁膜を形成する。複数のポリシリコン材料製第2スペーサを、実質的に互いに平行に第2方向に間隔を置いて形成する。各第2スペーサは、分離構造の1つに隣接して連続する。隣接する第2スペーサ間には、第2領域が存在する。各第2スペーサは、交互に形成した複数の活性領域および分離領域と交差する。各第2スペーサは、メモリセル用制御ゲートを第2方向に電気的に接続する。第2領域において、隣接する第2スペーサ間をエッチングする。隣接する第2スペーサ間の第2領域において、基板の各活性領域に第2端子を形成する。最後に、活性領域に実質的に平行な導体を第1方向に形成し、第1方向において第2端子に電気的に接続する。

【0013】本発明の他の目的、利点、特徴は、好適実施例に関する以下の詳細説明および図面において明らかにする。

【0014】

【実施例1】以下図面を参照して、実施例を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、現実のものとは異なることに留意すべきである。また図面相互間においても互いの寸法の関係や比率の異なる部分が含まれるのはもちろんである。

【0015】図1は、本発明の一実施例に基づく3重自己整合NVRAMセルのセル構造を示す。この構造は、ソース側注入要素の役割を果たすポリシリコンスペースワードライン56と、誘電材料58で覆ったフローティングゲート54が作る鋭い先端52と、前記ワードラインへの自己整合ポリシリコンソースラインコンタクト53とを有することを特徴とする。

【0016】図1から明らかなように、本発明の一実施例に基づくNVRAMセルは、特徴的な構造を持つ。シリコン基板50は、ドーブしたソース領域60と、ドーブしたビットライン/ドレイン領域62と、ドーブしたビットライン/ドレイン領域63とを有する。第1ポリシリコンフローティングゲート51と第2ポリシリコンフローティングゲート54は、基板50上に形成し、ソース領域60に部分的に重なる。ポリシリコンソースラインコンタクトプラグ53は、フローティングゲート51および54間にあり、これらフローティングゲートと自己整合する。

【0017】フローティングゲート54は、上部と右側部（図1において）とが接触する鋭い先端52を含む。絶縁スペーサ55は、好ましくはTEOSを堆積して形成し、フローティングゲート54とその左側部の上に設ける。誘電材料58（二酸化シリコン）は、フローティングゲート54の鋭い先端52と、その右側部と、基板50からビットライン/ドレイン領域62の上とに延びる。ポリシリコンワードライン56は、誘電材料58の

上に形成する。

【0018】フローティングゲート51は、上部と左側部とが接触する鋭い先端52を含む。絶縁スペーサ55と、誘電材料58と、ポリシリコンワードライン56とは、フローティングゲート54のものと同様に形成する。

【0019】図2～9は、本発明の一実施例に基づくNVRAMセルの各製造段階を示す。これら図において、図(a)と(c)は分離領域に対応し、図(b)と(d)は活性領域に対応する。

【0020】図2(a)と(b)において、シリコン基板50を準備する。基板50上に酸化物層64を形成する。酸化物層64上にポリシリコン層66を形成する。ポリシリコン層66上に窒化物層68を形成する。ポリシリコン層66の好適な厚さは約500～700μmであり、酸化物層64の好適な厚さは90Åであり、窒化物層68の好適な厚さは90Åである。

【0021】図2(c)において、分離領域の酸化物層64とポリシリコン層66と窒化物層68と基板50の一部とは、マスク(図示せず)を用いてエッチングし、浅トレンチを形成する。基板50の分離領域に酸化物層70を堆積する。分離領域(図2(c))の酸化物層70の上と活性領域(図2(d))の窒化物層68の上部に、窒化物をさらに追加する。

【0022】分離領域と活性領域との上に、溝を区画するためのフローティングゲートマスク(図示せず)を設ける。両領域の窒化物層68に溝(すなわちフローティングゲート溝)72をエッチングする。このエッチングは、図3(a)と(b)に示すように、分離領域においては酸化物層70で停止し、活性領域においてはポリシリコン層66で停止する。

【0023】図3(c)と(d)において、分離領域および活性領域を含めた構造全体にテトラエチルオルソシリケート(TEOS)層74を堆積(約2000～2500Å)する。図4(a)と(b)において、このTEOS層74を異方性反応性イオンエッチングし、スペーサ76を形成する。スペーサ76は、図1のフローティングゲート51および54上に形成した絶縁スペーサ55に対応する。図4(c)と(d)において、活性領域(図4(b))のポリシリコン層66をエッチング(好適にはドライエッチング)する。このエッチングはポリシリコン層66下の酸化物層64で停止する。

【0024】図5(a)と(b)において、構造上に酸化物層78を堆積する(約300Å)。図5(c)と(d)において、この酸化物層78をエッチングし、スペーサ76の側部のみに酸化物層78を残す。図6(a)と(b)において、構造上にポリシリコン層53aを堆積する(約3000Å)。図6(c)と(d)において、ポリシリコン層53aを研磨し平坦にする。ポリシリコン層53aは、図1のポリシリコンソースライ

ンコンタクトプラグ53に対応する。

【0025】図7(a)と(b)において、窒化物層68を除去し、ポリシリコン層66と酸化物層70とを露出させる。露出したポリシリコン層66は、コンタクトプラグ53あるいはTEOSスペーサ76に覆われていない。これを図7(d)に示すようにエッチングする。このエッチングは酸化物に対して選択的なため、TEOSスペーサ76とプラグ53とはエッチング期間中マスクとして機能する。構造上に酸化物(図示せず)を堆積し、好適には厚さ160Åの酸化物層を形成する。図8(a)と(b)において、構造上にポリシリコン層80を堆積する(約2000Å)。図8(c)と(d)において、ポリシリコン層80をエッチングし、図1に示すポリシリコンワードラインスペーサ56を形成する。最後に図9(a)と(b)において、イオン注入してビットライン/ドレイン領域62および63を形成する。

【0026】図10は、本発明に基づくNVRAMセル製造方法を示すフローチャートである。理解を容易にするため、このフローチャートは対応する図面番号を含む。ステップS100において、シリコン基板50、酸化物層64、ポリシリコン層66、窒化物層68を形成する。分離領域において、ポリシリコン層66を基板50内までエッチングする。分離領域に酸化物層70と窒化物を加え、活性領域に窒化物をさらに加える。ステップS104において、フローティングゲートマスクを用いて領域72をエッチングする。このエッチングは、分離領域においては酸化物層70で停止し、活性領域においてはポリシリコン層66で停止する。ステップS106において、構造上にTEOS層74を堆積する。ステップS108において、TEOS74を異方性反応性イオンエッチングし、スペーサ76を形成する。このスペーサ76は、図1の絶縁スペーサ55に対応する。ステップS110において、活性領域のポリシリコン層66をエッチングする。このエッチングは、酸化物層64で停止する。

【0027】ステップS112において、図5(a)と(b)に示すように、構造上に酸化物層78を堆積する。ステップS114において、酸化物層78をエッチングする。ステップS116において、図6(a)と(b)に示すように、ポリシリコン層53aを堆積する。ステップS118(図6(c)と(d))において、ポリシリコン層53aを研磨し平坦化する。ステップS120において、窒化物層68を除去することにより、活性領域(図7(b))のポリシリコン層66を露出させると共に、分離領域(図7(a))の酸化物層70を露出させる。ステップS122において、図7(d)に示すように、露出したポリシリコン層66をエッチングする。ステップS124において、薄い酸化物層とポリシリコン層80を堆積する。ステップS126において、ポリシリコン層80をエッチングし、ワード

ラインコンタクト56を形成する。前記酸化物層は、図1の誘電材料58に対応する。最後にステップS128において、ビットライン/ドレイン領域62および63を注入する。

【0028】良く知られているように、ポリシリコンスペーサの寸法および形状は、十分に制御することにより、デバイスデザインルールおよび基本ルールを適切に遵守せねばならない。平坦な浅トレンチ分離構造の形成方法を以下に説明する。

【0029】ステップS126 (図8(c)と(d)) 10 においてポリシリコン層80をエッチングすると、得られるスペーサは丸みを帯びる。これらスペーサは、より方形である方が有利である。図11(a)は、均一な寸法を有するポリシリコンスペーサを製造するための一実施例を示す。スペーサ形成用ポリシリコンフィルム330 (好ましくは200nm) を心棒331上にコンフォーマルに堆積する。心棒331は、別のゲートまたは捨て膜であっても良い。好適には20~40nm厚の酸化膜332をポリシリコン膜330上にコンフォーマルに堆積する。図11(b)に示すように、異方性化学エッチングを行い、平坦上面340から酸化膜332を除去し、ポリシリコン膜330の除去を開始する。この時のエッチング速度は、上面340上の酸化膜332がポリシリコン膜330よりも遅く除去されるようにする。RIEの場合、どのような膜でもその露出角域におけるエッチング速度が速まる。従ってスペーサ350は、ポリシリコン330の角から突出し、図11(c)に示すような垂直形状のポリシリコン330を形成する。図11(a)~(c)の処理を使えば、方形のワードラインスペーサ56を形成できる。

【0030】シリコン基板内のウエル領域のドーピングを説明する。特に、図3(c)と(d)に示す溝領域72へのソース領域注入を説明する。

【0031】図12は、本発明に基づく3重自己整合分割ゲートNVRAMセルの各部を示す。基板の追加ドーピングを説明する。当該セルおよびそのミラーセル用のフローティングゲート360をパターンニングし形成する。フローティングゲート360を介した注入により、フローティングゲートウエル361を形成する。当該セルおよびそのミラーセルのフローティングゲート360 40 は、フローティングゲート360を基板50までエッチングすることにより分離できる。ソース領域363は、従来の方法によりフローティングゲートホール内への注入により形成する。ポリシリコン362は、フローティングゲートホール (ソースプラグ) 内へ堆積し、フローティングゲート注入点を形成する。スクリーン酸化物は、注入端およびワードラインチャネル上に成長させる。ワードラインスペーサ366は、堆積しエッチングする。ビットライン接合365とビットラインハロー370とを注入する。ハロー370の注入角度は、ハロー

370がワードラインスペーサ366の下でビットライン/ドレイン接合365に隣接するように設定する。

【0032】この単一ウエル法を使って3重自己整合メモリセルを形成する場合の利点は、処理コストが低く簡単なことである。これは、メモリウエルマスクを省略できるためである。また、注入端絶縁体への注入が不必要であり、該注入端絶縁体へのフォトレジストの適用および除去が不必要であり、セルの信頼性が向上する。セル寸法の変化に対するセル電気特性の感度を低めることにより、セルの生産性が向上する。

【0033】

【実施例2】本発明の他の実施例を説明する。図13(a)は、半導体基板10を示す上面図である。基板10は、第1絶縁層12を有する。この第1絶縁層12は、基板10に堆積した二酸化シリコン等の絶縁材料からなる。第1絶縁層12上に、第1ポリシリコン層14を堆積する。半導体基板10は、好ましくはPタイプであり、当業者に公知である。基板10上の第1絶縁層12は、酸化、堆積 (例えばCVD (化学蒸着)) 等の公知技術によって形成した約80~90Åの二酸化シリコン層である。第1絶縁層12上の第1ポリシリコン層14は、低圧CVD (LPCVD) 等の公知処理によって約500~700Åの厚さに堆積する。好ましくは500Åの窒化シリコン層18をCVDによって堆積する。窒化シリコン層18は、分離領域形成において活性領域を区画するために使う。前記および後述の具体的寸法は、デザインルールや処理技術世代に応じて変化する。本明細書に記載の各寸法は、0.18ミクロン処理に好適である。当業者には明らかなように、本発明は、特定の処理技術世代や、ここに記載の特定のパラメータ値に限定されない。

【0034】第1絶縁層12、第1ポリシリコン層14、窒化シリコン層18を形成した後、適切なフォトレジスト19を窒化シリコン層18に塗布し、マスク処理を行い、選択領域内の窒化シリコン層18と第1ポリシリコン層14と第1絶縁層12とをエッチングする。フォトレジスト19を残した部分は、窒化シリコン層18と第1ポリシリコン層14と第1絶縁層12とが残る。フォトレジスト19を除去した部分は、窒化シリコン層18と第1ポリシリコン層14と第1絶縁層12とがエッチング除去され、図14(a)に示す帯溝16がY方向、すなわち列方向にできる。後述の通り、分離領域の形成について2つの実施例を示す。LOCOSおよびSTIである。STI実施例は、基板10内を約2800Åの深さまでエッチングする。隣接する帯溝16間の距離Wは、使用する処理技術の最小リソグラフ要素サイズとすれば良い。

【0035】窒化シリコン層18をエッチング除去した後、第1ポリシリコン層14と第1絶縁層12とをエッチング除去し、帯溝16を形成する。半導体基板10内

の溝16は、二酸化シリコン等の絶縁材料20aまたは20bで埋める。図14(b)に示すように、公知のLOCOS処理を用いて局所酸化物20aを形成するか、浅トレンチ処理(STI)を用いて二酸化シリコン領域20bを形成する。フォトリソ19が残存する箇所では、二酸化シリコン層18と第1ポリシリコン層14と第1絶縁層12との下の半導体基板10は、活性領域を形成する。従って基板10には、帯状の活性領域と分離領域とが交互にできる。分離領域は、LOCOS20aまたは浅トレンチ20bである。図14(b)は、LOCOS20aと浅トレンチ20bとを示すが、どちらか一方のみを形成する。好適実施例は、浅トレンチ20bを形成する。浅トレンチ20bが好適である理由は、第1ポリシリコン層14と面一に形成できるためである。この構造によって自己整合フローティングゲートを実現できる。

【0036】この構造は、非自己整合法が形成する構造より小型である。図14(b)に示す構造を非自己整合法により形成することは、従来から知られている。これを説明する。基板10に分離領域20を形成する。分離領域20は、基板10に窒化シリコン層を堆積し、フォトリソを堆積し、窒化シリコンをパターンニングして基板10の選択部分を露出し、LOCOSまたはSTIを用いて基板10の露出部分を酸化する。次に窒化シリコンを除去し、第1二酸化シリコン層12(ゲート酸化膜を形成)を基板10に堆積する。ゲート酸化膜12上に第1ポリシリコン層14を堆積する。第1ポリシリコン層14をパターンニングし、選択部分を除去する。このためポリシリコン層14は、分離領域20に対して自己整合せず、第2マスク処理が必要になる。この追加マスク処理は、ポリシリコン層14の寸法が分離領域20に対して整合許容値を持つことを要求する。

【0037】自己整合法または非自己整合法を用いて形成した図14(b)の構造に対し、さらに以下の処理を行う。

【0038】図15(a)は、本発明の次の処理を示す上面図である。図14(a)の構造の全表面に、窒化シリコン等のマスク層22を形成する。窒化シリコン層22の上にフォトリソを塗布して第2のマスク処理を行い、X方向すなわち行方向に帯を区画したマスクを形成する。隣接する帯間の距離Zは、作成するデバイスに応じて決定する。本実施例の構造は、距離Z内に3個の構成要素すなわち2個のゲートと1個のスペースを含む。行方向の選択領域すなわち帯内のフォトリソを除去する。露出したマスク用窒化シリコン層22をエッチングし、図15(a)の構造を形成する。各窒化シリコン22の帯は、半導体基板10の活性領域および分離領域と交差する。活性領域内の基板10上には、第1絶縁層12とポリシリコン層14とがある。分離領域は、浅トレンチ二酸化シリコン20である。隣接する窒化シ

リコン帯22間には、図15(b)の溝24がある。溝24は、浅トレンチ20と交差し、第1ポリシリコン層14の酸化領域と交差する。溝24の材料は、浅トレンチ20を形成する二酸化シリコンと同一材料である。窒化シリコン帯22の形成を説明する。

【0039】窒化シリコン22は、図14(a)の構造にCVDを用いて約3000Å厚に堆積する。

【0040】窒化シリコン22を選択的にエッチングする。このエッチングは、第1ポリシリコン層14と二酸化シリコン領域20aまたは20bによって停止する。露出した第1ポリシリコン層14を酸化して二酸化シリコン24を形成する。

【0041】テトラエチルオルソシリケート(TEOS)の分解によって生成する二酸化シリコン等の絶縁材料を堆積し、第2絶縁層26を図15(a)に示す構造の全表面に形成する。図16(a)は、第2絶縁層26を形成した構造の断面図である。TEOS層26は、CVDやコンフォーマル堆積等の従来技術を使って約2000~2500Å厚にする。

【0042】TEOS層26は、反応性イオンエッチング(RIE)等公知技術を使って異方性エッチングを行い、窒化シリコン帯22を露出させる。この結果、図16(b)に示すように、TEOSスペーサ26の帯と窒化シリコン22の帯とが隣接する。TEOS26の異方性エッチングは、エッチング停止の役割を果たす窒化シリコン22と第1ポリシリコン層14とが露出するまで続ける。

【0043】エッチング液を交換し、第1ポリシリコン層14を異方性エッチングする。これはエッチング停止の役割を果たす第1二酸化シリコン層12が露出するまで行う。

【0044】構造の全表面に対して適切なイオンを注入する。イオンが第1二酸化シリコン層12に進入するのに十分なエネルギーを持っている箇所で、基板10内に第1領域30を形成する。その他箇所におけるイオンは、TEOS26、分離領域20aまたは20b、窒化シリコン22に吸収され、何の影響も及ぼさない。この結果、図17(a)の構造が得られる。

【0045】図17(a)の構造全体を酸化することにより、第1ポリシリコン層14の露出領域を酸化し、約300Å厚の二酸化シリコン層32を形成する。そして構造全体に二酸化シリコン絶縁層を堆積する。なお二酸化シリコン層32の一部は、TEOS26および二酸化シリコン24から形成される。図示の層32は、理解を助けるために示した。

【0046】第1二酸化シリコン絶縁層12の異方性エッチングを、エッチング停止の役割を果たす基板10まで行う。二酸化シリコン層12の異方性エッチングは、層32の一部も除去する。第2ポリシリコン堆積処理(約3000Å)を行い、隣接するTEOSスペーサ2

6間のプラグまたはホールを埋める。局所選択法により窒化シリコン22からポリシリコンを除去する。この時の好適方法は、化学機械研磨(CMP)である。第2ポリシリコン34は、基板10内の第1領域30に対するオーミックコンタクトを形成する。第2ポリシリコン34をドーピングすることにより、第1領域30を形成する不純物の補助用あるいは代替用の拡散ソースとして使用しても良い。ポリシリコン34は、タングステン、ケイ化タングステン等の適切な導体でも良い。図17

(b)は、このようにして形成した構造を示す。この構造を酸化し、第2ポリシリコンプラグ34上に二酸化シリコン層36を薄く形成する。

【0047】窒化シリコン22をエッチングし、エッチング停止層としての第1ポリシリコン層14を露出させる。次に第1ポリシリコン層14を異方性エッチングし、エッチング停止層としての第1二酸化シリコン層12を露出させる。この処理期間中、第2ポリシリコン34上のキャップ36は、第2ポリシリコン34のエッチングを阻止する。この結果、図18(a)の構造が得られる。

【0048】構造全体に約160~170Åの薄い二酸化シリコン層38を、熱酸化および堆積の組み合わせによって形成し、図18(b)の構造を得る。

【0049】構造全体に第3ポリシリコン層40を約2000Åの厚さに堆積する。この結果を図19(a)に示す。第3ポリシリコン層40は、LPCVDによって堆積できる。

【0050】第3ポリシリコン層40を異方性エッチングし、複数のスペーサ40を形成する。スペーサ40は、行方向すなわちX方向に延び、プラグ34に平行である。第3ポリシリコン層40をエッチングし、プラグ34上の二酸化シリコン38を露出させる。この結果、図19(b)に示すように、プラグ34の両側にポリシリコンスペーサ40が互いに切り離される。

【0051】第3ポリシリコンスペーサ40を酸化することにより、その露出部分全体に二酸化シリコン層42を形成する。この時点であるいはこの酸化処理の前にイオン注入を行い、第2領域170を形成する。隣接するポリシリコンスペーサ40間の二酸化シリコン38を異方性エッチングし、エッチング停止部としての基板10を露出させる。誘電体48を堆積する。誘電体48に従来のコンタクト44を形成する。コンタクト44は、第2領域170と金属製共通ビットライン46とを接続する。誘電体48は、層42と同一の二酸化シリコンでも良い。この結果、図20の構造が得られる。

【0052】図21は、結果的に得られる構造を示す上面図である。この図は、ビットライン46と第2領域170との相互接続を示す。制御ライン40は、X方向すなわち行方向に延び、ソースライン34は基板10内の第1領域30に接続する。ソースライン34(当業者に

明らかなように、「ソース」は「ドレイン」に読み替え可能である)は、行方向全長に渡り基板10と接触する。すなわちソースライン34は、基板10の活性領域および分離領域の両方に接触する。ただし、ソースライン34は、基板10内の第1領域30のみと電気的に接続する。このソースライン34が接続する各第1領域30は、隣接する2個のメモリセルに接続し共有される。同様に、ビットライン46が接続する各第2領域170は、隣接するメモリセルによって共有される。

10 【0053】この結果、複数の分割ゲート型不揮発性メモリセルが形成される。各メモリセルは、フローティングゲート14と、制御ゲート40と、ソースライン34と、ビットライン46とを有する。制御ゲート40は、スペーサであり、行方向に延び、同一行の他のメモリセルの制御ゲートと接続する。ソースライン34は、行方向に延び、同一行方向のメモリセルの第1端子30のペアを接続する。ビットライン44は、Y方向すなわち列方向に延び、同一列方向のメモリセルの第2端子170のペアを接続する。これら制御ゲート、フローティングゲート、ソースライン、ビットラインの形成は、すべて自己整合する。この不揮発性メモリセルは、分割ゲート型であり、ゲートトンネリングを制御するためのフローティングゲートを有する。この詳細は、米国特許第5,572,054号が開示する。この開示は参照によってここに組み込むことにより、前記不揮発性メモリセルおよび該セルからなるメモリアレイの動作の説明に代える。

30 【0054】好適実施例に基づき本発明を説明したが、当業者には明らかなように、本発明は、特許請求の範囲を逸脱せずに変更が可能である。

【0055】

【発明の効果】以上述べたように、本発明によれば、自己整合技術を用い、フローティングゲートメモリセルの半導体メモリアレイを製造する方法を提供できる。

【0056】本発明によれば、自己整合技術を用いて製造可能な、フローティングゲートメモリセルの半導体メモリアレイを提供できる。

40 【0057】本発明によれば、自己整合技術を用いて製造可能な、不揮発性ランダムアクセスメモリセルを提供できる。

【0058】本発明によれば、自己整合技術を用いて製造可能な、不揮発性メモリセル等のアレイを有する半導体装置を提供できる。

【図面の簡単な説明】

以下の図面を参照しながら本発明を詳細に説明する。図中の同一参照番号は、同一要素を表す。

【図1】本発明に基づく自己整合NVRAMセルとポリシリコンスペーサワードラインを示す概略図である。

50 【図2】本発明に基づく自己整合NVRAMの製造方法を示す図(その1)である。

【図3】本発明に基づく自己整合NVRAMの製造方法を示す図(その2)である。

【図4】本発明に基づく自己整合NVRAMの製造方法を示す図(その3)である。

【図5】本発明に基づく自己整合NVRAMの製造方法を示す図(その4)である。

【図6】本発明に基づく自己整合NVRAMの製造方法を示す図(その5)である。

【図7】本発明に基づく自己整合NVRAMの製造方法を示す図(その6)である。

【図8】本発明に基づく自己整合NVRAMの製造方法を示す図(その7)である。

【図9】本発明に基づく自己整合NVRAMの製造方法を示す図(その8)である。

【図10】本発明に基づくNVRAMセル製造方法の1つを示すフローチャートである。

【図11】(a)は方形スペースを形成するためのポリシリコン/酸化物積み重ねを示す概略図である。(b)は平坦表面上において前記酸化物をエッチング除去し、側壁に酸化物スペースを形成したところを示す概略図である。(c)は角部のポリシリコンをエッチング除去することにより方形にした酸化物スペースを示す概略図である。

【図12】ハローを有する単一ウェル3重自己整合メモリセルを示す概略図である。

【図13】(a)は本発明の一実施例方法の第1段階において、分離領域を形成するための半導体基板を示す上面図である。(b)は(a)の2-2線に沿った断面図である。

【図14】(a)は図13の次の段階で形成した分離領域を示す上面図である。(b)は(a)の2-2線に沿った断面図で、半導体基板に形成した2タイプ、すなわちLOCOSタイプと浅トレンチタイプの分離領域を示す。

【図15】(a)は図14の分離領域形成の次の段階を示す上面図である。(b)は(a)の4-4線に沿った断面図である。(c)は(a)の3-3線に沿った断面図である。

【図16】(a)は分割ゲート型フローティングゲートメモリセルからなる不揮発性メモリアレイ形成において、図15の次の段階を示す4-4線に沿った断面図である。(b)は(a)の次の段階を示す4-4線に沿った断面図である。

【図17】(a)は図16の次の段階を示す4-4線に沿った断面図である。(b)は(a)の次の段階を示す4-4線に沿った断面図である。

【図18】(a)は図17の次の段階を示す4-4線に沿った断面図である。(b)は(a)の次の段階を示す4-4線に沿った断面図である。

【図19】(a)は図18の次の段階を示す4-4線に

沿った断面図である。(b)は(a)の次の段階を示す4-4線に沿った断面図である。

【図20】分割ゲート型フローティングゲートメモリセルからなる不揮発性メモリアレイ形成において、図19の次の段階を示す4-4線に沿った断面図である。

【図21】分割ゲート型フローティングゲートメモリセルからなる不揮発性メモリアレイ形成において、活性領域における行ライン、ビットライン、端子の相互接続を示す上面図である。

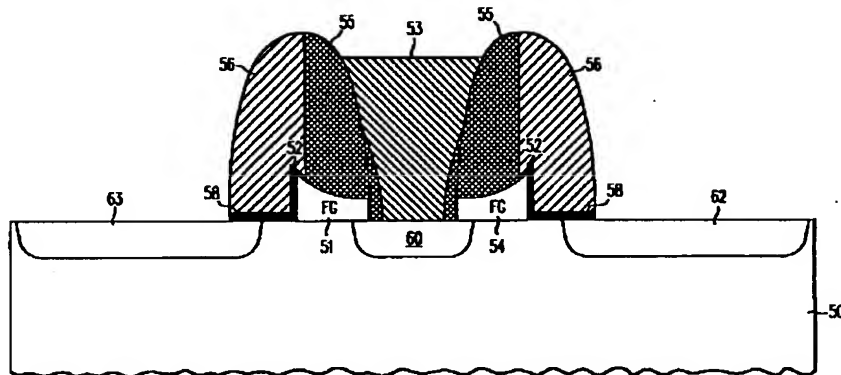
10 【符号の説明】

- 10 半導体基板
- 12 第1絶縁層(二酸化シリコン)
- 14 第1ポリシリコン層、フローティングゲート
- 16 分離領域溝
- 18 窒化シリコン層
- 19 フォトリソグ
- 20 分離領域、浅トレンチ二酸化シリコン
- 20a 絶縁材料、局所酸化物、LOCOS
- 20b 絶縁材料、二酸化シリコン領域、浅トレンチ
- 22 マスク用窒化シリコン層
- 24 溝、二酸化シリコン
- 26 第2絶縁層(二酸化シリコン)、TEOSスペース
- 30 第1領域、第1端子
- 32 絶縁体、二酸化シリコン層
- 34 第2ポリシリコンプラグ、ソースライン
- 36 二酸化シリコン層、キャップ
- 38 二酸化シリコン層
- 40 第3ポリシリコン層(スペース)、制御ライン
- 42 二酸化シリコン層
- 44 コンタクト
- 46 金属製共通ビットライン
- 48 誘電体
- 50 シリコン基板
- 51 第1ポリシリコンフローティングゲート
- 52 鋭い先端
- 53 自己整合ポリシリコンソースラインコンタクトプラグ
- 53a ポリシリコン層
- 54 第2ポリシリコンフローティングゲート
- 55 絶縁スペース
- 56 ポリシリコンスペースワードライン
- 58 誘電材料
- 60 ソース領域
- 62、63 ビットラインとなるドレイン領域
- 64 酸化物層
- 66 ポリシリコン層
- 68 窒化物層
- 70 酸化物層

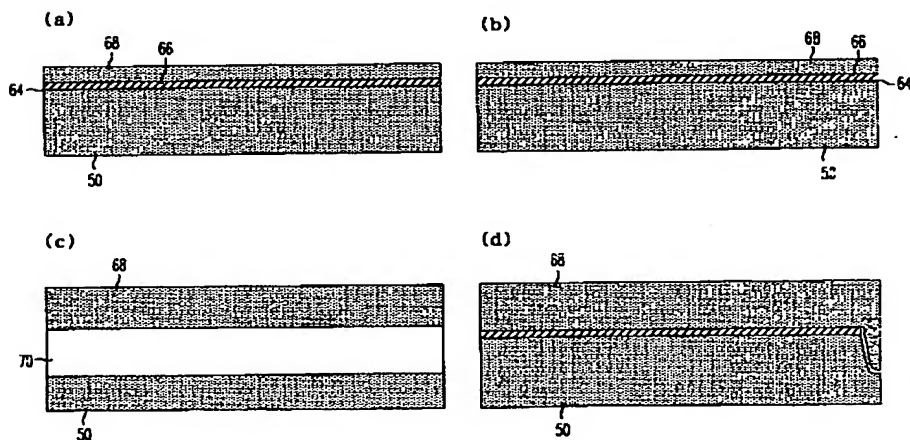
72 溝
 74 TEOS層
 76 絶縁スペーサ
 78 酸化物層
 80 ポリシリコン層
 170 第2領域、第2端子
 330 スペーサ形成用ポリシリコン膜
 331 心棒
 332 酸化膜

340 平坦上面
 350 スペーサ
 360 フローティングゲート
 361 フローティングゲートウエル
 362 ポリシリコン
 363 ソース領域
 365 ビットラインとなるドレイン接合
 366 ワードラインスペーサ
 370 ビットラインハロー

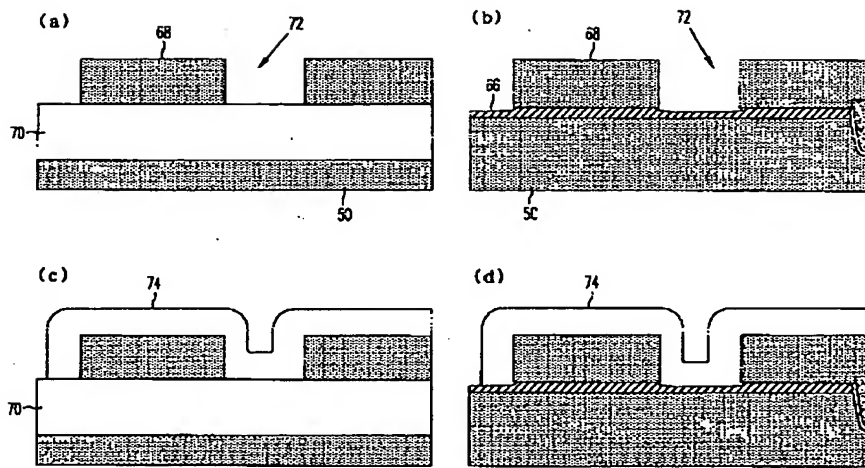
【図1】



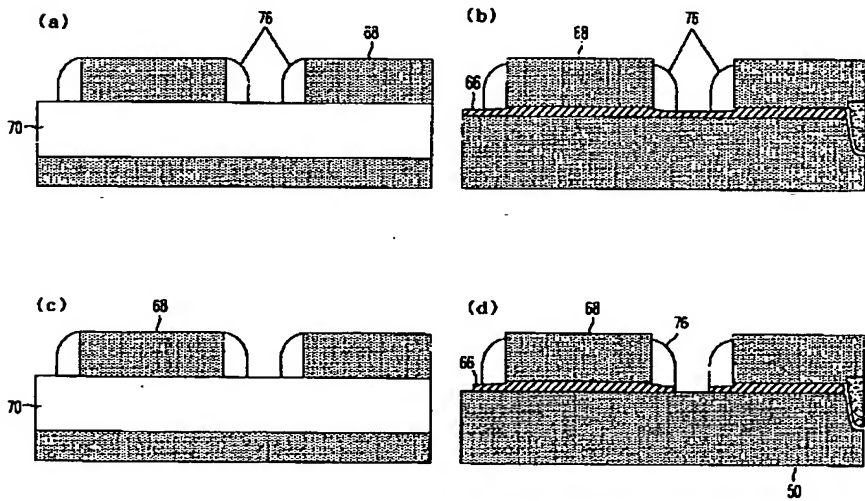
【図2】



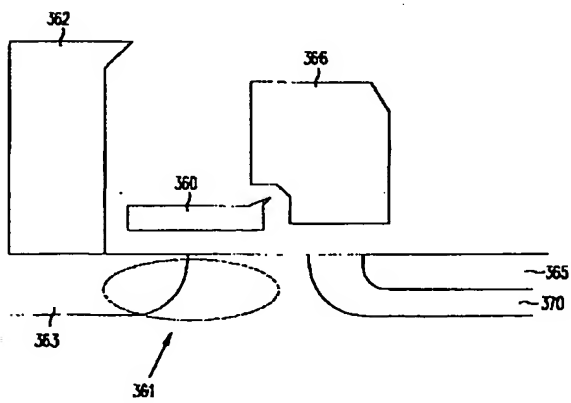
【図3】



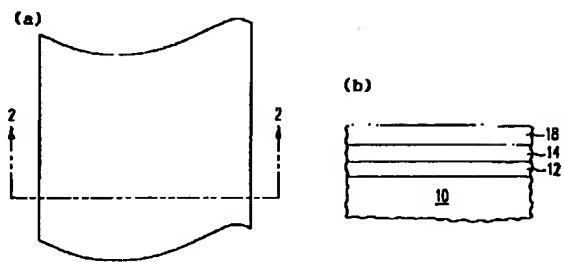
【図4】



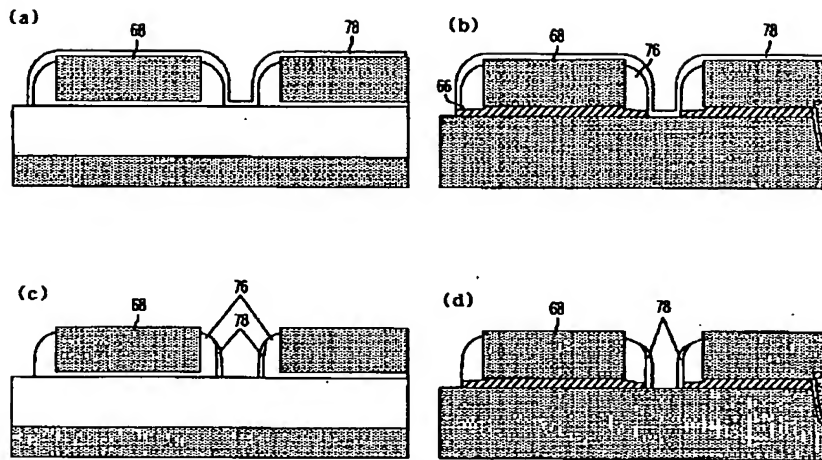
【図12】



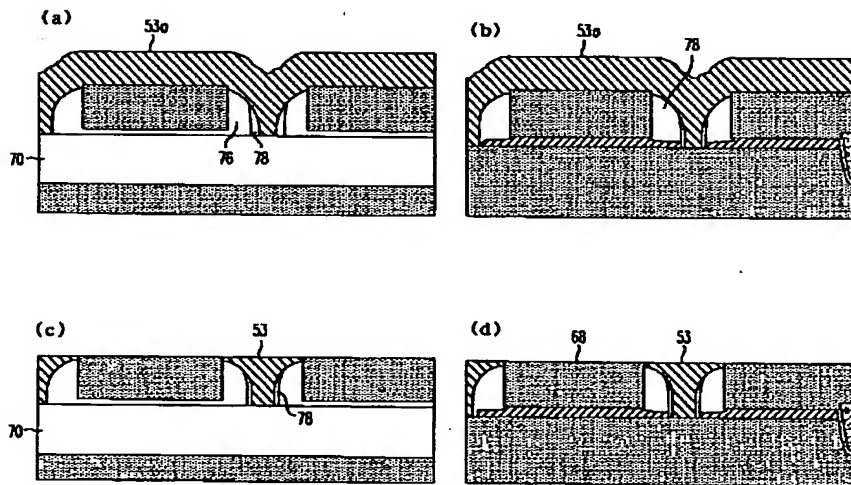
【図13】



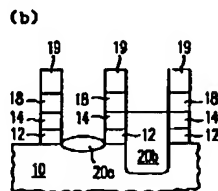
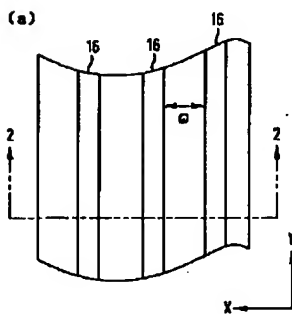
【図5】



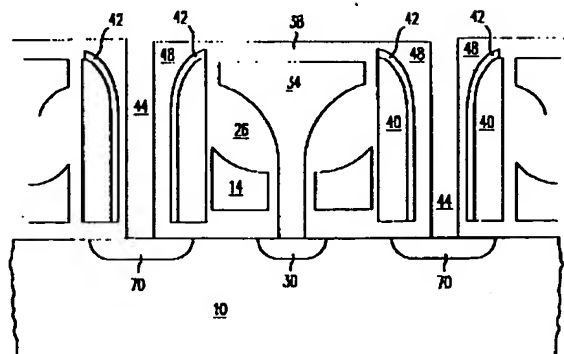
【図6】



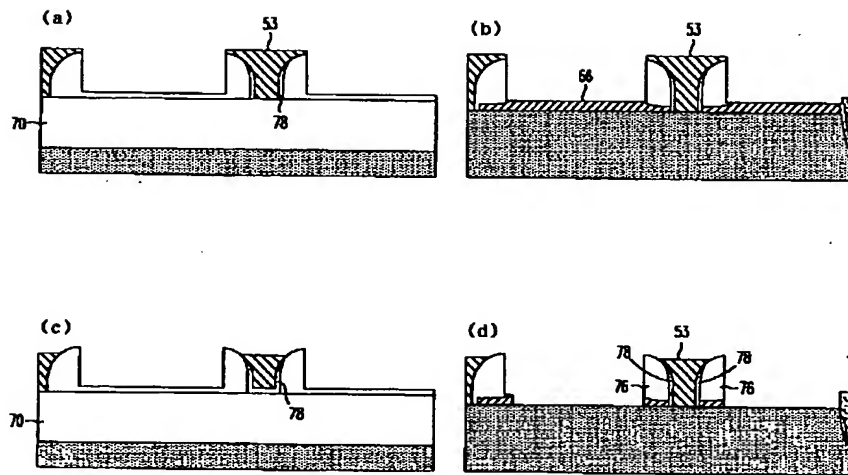
【図14】



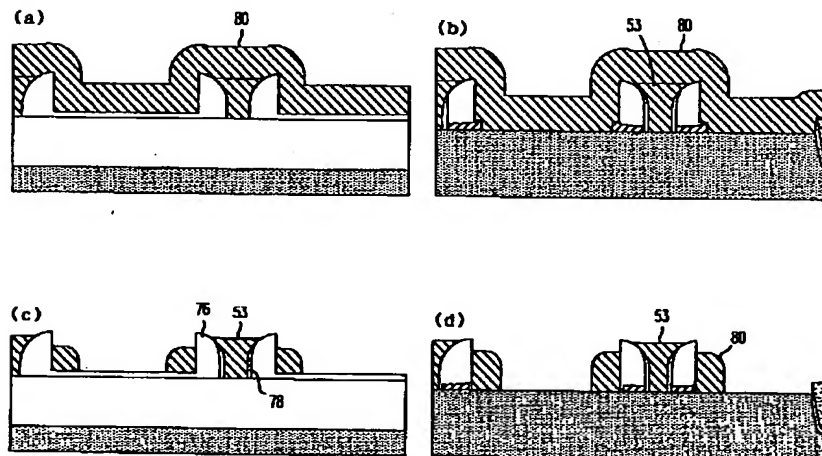
【図20】



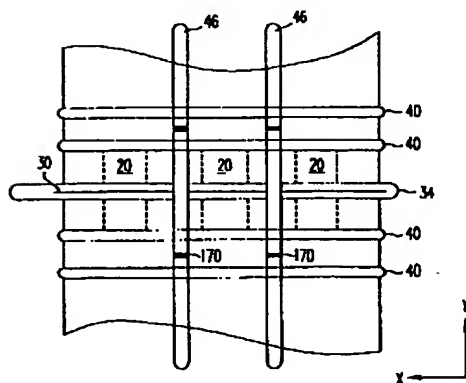
【図7】



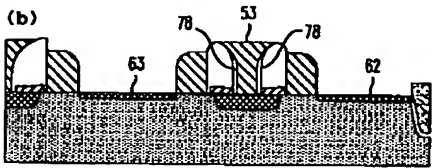
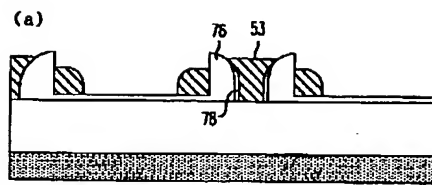
【図8】



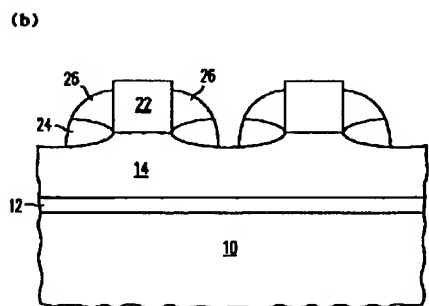
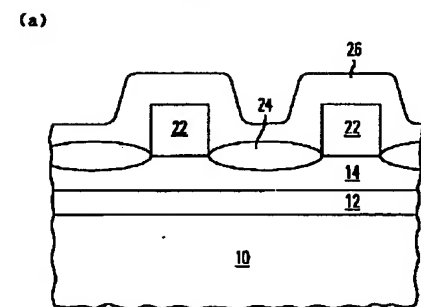
【図21】



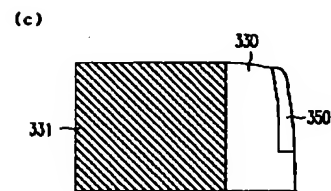
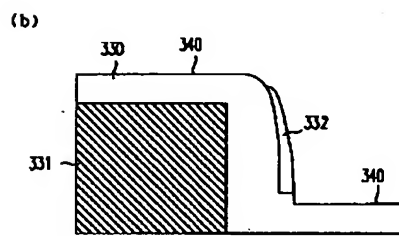
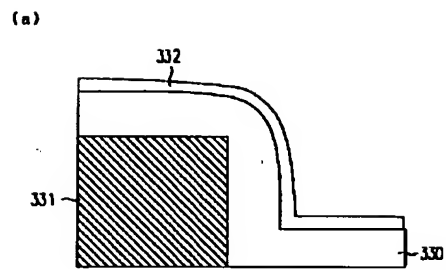
【図9】



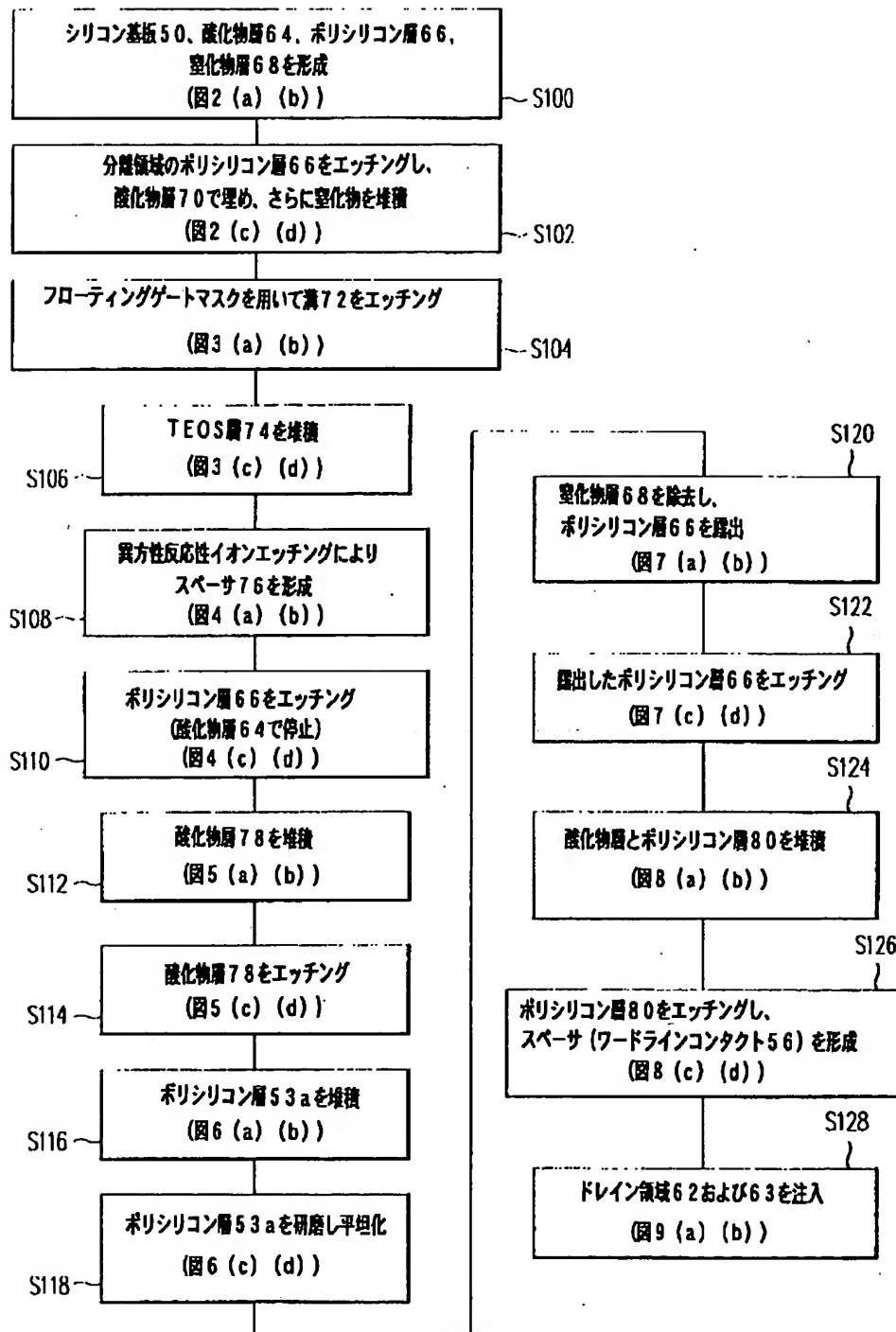
【図16】



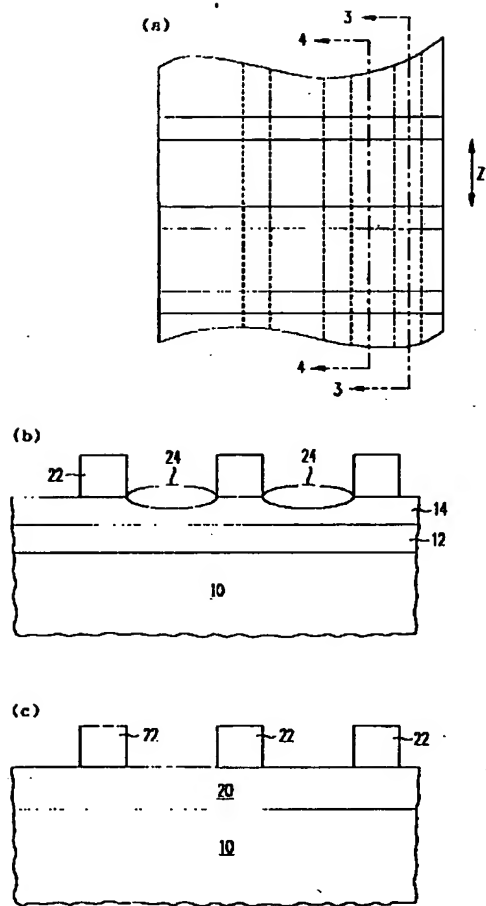
【図11】



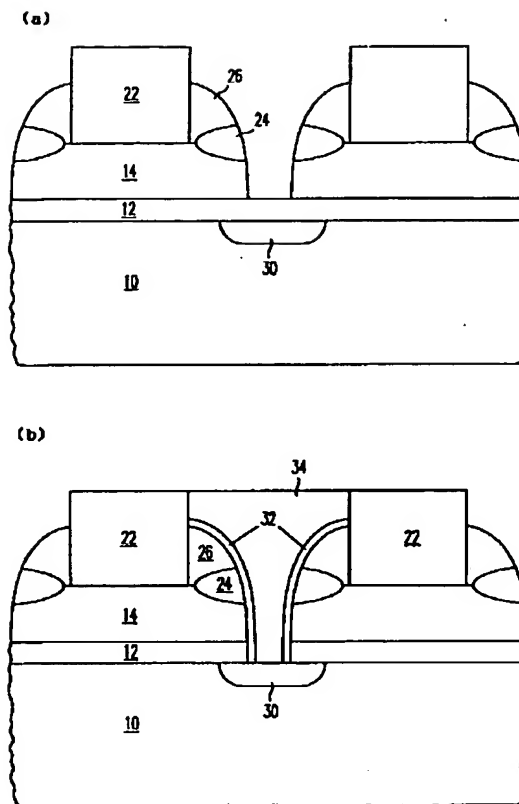
【図10】



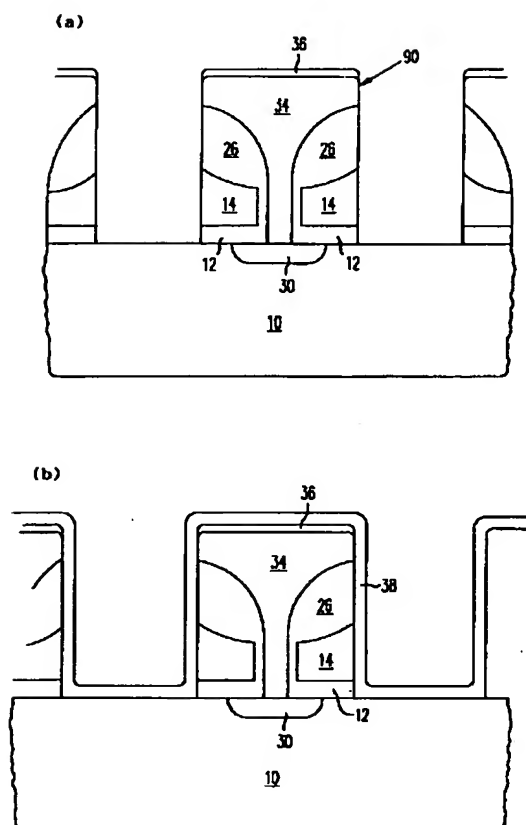
【図15】



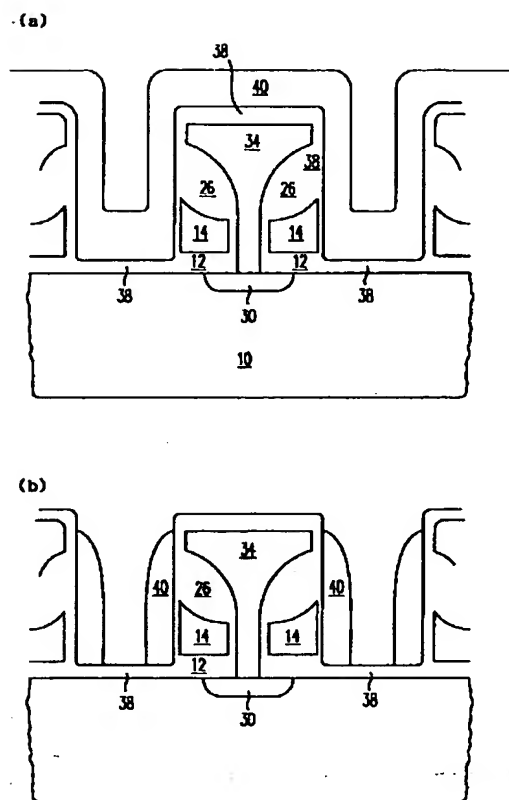
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 ジェフリー ビー. ジョンソン
アメリカ合衆国 05452 ヴァーモント州
エセックス ジャンクション ジュニパ
ー リッジ ロード 15

(72)発明者 チャン エイチ. ラム
アメリカ合衆国 05495 ヴァーモント州
ウィリントン アスター レイン 61

(72)発明者 デイナ リー
アメリカ合衆国 95051 カリフォルニア
州 サンタクララ エリオット ストリー
ト 2652

(72)発明者 デイル ダブリュー. マーティン
アメリカ合衆国 05655 ヴァーモント州
ハイド パーク フィフティーン ウエ
スト 564ティー.

(72)発明者 ジェド エイチ. ランキン
アメリカ合衆国 05401 ヴァーモント州
バーリントン アパートメント スイー
8 リヴァーサイド アヴェニュー 220